

Cited Reference of
Japanese Patent Application No. 2007-502749
D2: JPA S59-202702

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭59—202702

⑫ Int. Cl.³ 識別記号 ⑬ 公開 昭和59年(1984)11月16日
H 01 P 9/00 庁内整理番号 7928—5 J
発明の数 1
審査請求 未請求

(全 5 頁)

⑭ デイレイライン素子 地進工業株式会社内

⑮ 特 願 昭58—78063 ⑯ 出願人 小沢寿一郎
⑯ 出願 昭58(1983)5月2日 京都市南区上鳥羽馬廻し町14番
⑰ 発明者 小沢寿一郎 ⑱ 代理人 弁理士 古田高司
京都市南区上鳥羽馬廻し町14番

明細書

1 発明の名称

デイレイライン素子

2 特許請求の範囲

1. セラミック基板の片面に導電性薄膜によるジグザグ状の電気信号伝送路を形成し、該基板の他の片面にはほぼ全面に導電性薄膜によるグランド電極を形成し、これら両面の該薄膜間の静電容量が該電気信号伝送路に沿って分布常数的に存在するよう構成されたことを特徴とするデイレイライン素子。

3 発明の詳細な説明

本発明は高速パルス信号回路のパルス信号のタイミングを調節するために用いられるデイレイライン素子に関するものである。

その目的は、セラミック基板上に形成された薄膜伝送路とグランド電極からなる極めて

て特性の安定した高信頼性のデイレイライン素子であって、数ナノ秒以下のデイレイタイムの領域において1ナノ秒以下の立ち上がり時間を持つパルスを最少の波形歪特性で伝達することができる分布常数型のデイレイライン素子を提供することにある。

衆知の如く、一般に電気信号を伝送する信号ラインの伝搬遅延時間 (T_d) はその伝送路のインダクタンス (L) と分布容量 (C) によって決定され、

$$T_d = \sqrt{L \times C}$$

と定義される。

またその伝送路の特性インピーダンス (I_c) は

$$I_c = \sqrt{\frac{L}{C}}$$

であることが知られている。

従ってパルス信号などを一定時間遅らせてタイミングを調整したい場合には上式により算出

特開昭59-202702(2)

される適当な値のインダクタンス(I)及び分布容量(C)を組合せたディレイライン素子が用いられる。

しかし単純にインダクタンス(I)と分布容量(C)をつなぎ合せただけではLC共振回路となり伝送パルスの波形が崩れてしまうためインダクタンス(I)と分布容量(C)をいくつかに分割しカスケード接続にすることによって共振を分散する方法が取られている。そしてこの方式を極限まで推し進めたものが分布常数型のディレイライン素子である。

これまでパルス信号の伝送速度が遅く、従ってパルスの立ち上りや立ち下りの時間が長い回路システムにおいては、複数個のインダクタンス(I)と分布容量(C)によるカスケード型ディレイライン素子でも充分に実用に供することができたが、最近のように立ち上り時間が1ナノ秒以下という高速パルスを扱う回路において、波形の乱れを生じせしめることなく伝搬時間を調節

これらの図の様に本発明素子はセラミック基板(1)の片面にジグザグ状の電気信号伝送路(2)(以下、単に伝送路(2)といふ)と引出し電極(3)(5)とが導電性薄膜によって形成されている。そしてセラミック基板(1)の他の片面つまり他面側にはほぼ全面に同じく導電性薄膜によってグランド電極(4)が引出し電極(5)と共に形成されているのである。

第4図は本発明素子を電気回路で示したものである。

この図の様に第1図における伝送路(2)は第4図のインダクタンス(I)として示され、第3図におけるグランド電極(4)は第4図における分布容量(C)として表わされるのである。そしてこのインダクタンス(I)と分布容量(C)の中間にセラミック基板(1)が介在していることになるのである。

つまりグランド電極(4)と伝送路(2)とはセラミック基板(1)を挟んで対向し伝送路(2)に沿って静

するためにはほとんど完全に近い分布常数型のディレイライン素子が要求されるようになって來た。またこの様な電子回路の高集積化高密度化が進展しディレイライン素子自体にも超小型化、高精度化が要求されて來ている現状である。

本発明者はこの様な技術的事情について深く考慮し研究を重ねた結果、本発明に達したのである。

すなわち、セラミック基板の片面に導電性薄膜によるジグザグ状の電気信号伝送路を形成し、該基板の他の片面には該基板全面に導電性薄膜によるグランド電極を形成し、これら両面の該薄膜間の静電容量が該電気信号伝送路に沿って分布常数的に存在するよう構成されたことを特徴とするディレイライン素子を発明するに至つてるのである。

本発明を図面を参照して説明する。

第1図は本発明素子の片面側の平面図である。

第2図は本発明素子の他面側の平面図である。

第3図は本発明素子の側面拡大図である。

電容量が分布しており、その結果として第4図に示す様な等価配号で表わすことができるものである。

本発明において伝搬遅延時間(T_d)や特性インピーダンス(I_c)は伝送路(2)のジグザグパターンやセラミック基板(1)の厚さ、材質を変えることにより調整することができるものである。

本発明は以上の如き構成からなり、耐湿や耐熱性が大で膨脹係数が小さいなど環境に対して安定性のすぐれたセラミック基板上に導電性薄膜による伝送路とグランド電極とを形成させているため、極めて特性の安定した高信頼性のディレイライン素子であり、また数ナノ秒以下のディレイタイムの領域において1ナノ秒以下の立ち上り時間を持つパルスを最少の波形歪特性で伝送することを可能ならしめる分布常数型のディレイライン素子である。さらに薄膜方式であるが故に特性の精度が非常に高く、しかも超小型のディレイライン素子を提供することもで

き、さらにまた、多数のデイレイライン素子を一枚のセラミック基板上に多數形成させることも可能であるため、大量生産に適しており低いコストで製造可能であるなど、きわめてすぐれた効果を挙ぐるものである。

実施例

面積が $2.5 \times 4 \text{ mm}^2$ で厚さが 0.4 mm のセラミック基板を使用し、まずニクロム (Ni: Cr) を両面に真空蒸着させ、さらにその上に銅を少量真空蒸着させた。このものの片面にホトレストを敷布しジグザグ状の切抜きを有するパターンによって部分的に露光してレジスト現象を行ないジグザグ状の部分のみ前記レジストを取り除いた。

ついで硫酸銅によって両面に銅メッキし片面にはジグザグ状の銅薄膜による伝送路を形成させ、他面には銅薄膜によるグランド電極を形成させた。ついでレジスト膜を剥離し前記少量の硫酸銅とニクロム蒸着膜をエッチングにより取

り除き片面側の伝送路以外の部分にセラミック基板を露出させた。この場合他面側のグランド電極の銅膜及び前記伝送路の銅膜も表面層のみ少しえッティングされることは勿論である。

ついでリード線をそれぞれ引出し端極に取付けた。

この結果、セラミック基板の片面に 0.23 mm $\pm 1.0 \mu$ の幅を有し厚さ 4.0 μ の銅薄膜によるジグザグ状の伝送路を形成し、他面側には厚さ 4.0 μ の銅薄膜によるグランド電極を形成してなる本発明素子が得られた。

これに防護用の樹脂コーティングによる外装を施し製品とした。

このものの直流抵抗値 (R_d) は 0.8 オームであった。

この本発明素子に立ち上り時間 (T_r) 700 ピコ秒、パルス幅 (W_p) 10 ナノ秒、立ち下り時間 (T_f) 700 ピコ秒の条件のパルス信号を伝送したところ、立ち上り時間 (T_r) も、パル

ス幅 (W_p) も、また立ち下り時間 (T_f) も全く変化することなく受信することができた。さらにオーバーシュートやリンキングも全く見られないもので、端子部反射による波形歪は 5 %以内にとどまるものであった。この場合、伝搬遅延 (T_d) は 1.2 ナノ秒であり、特性インピーダンス (Z_c) は 50 オームでその駆動は ±5 V 以内であった。

4 図面の簡単な説明

第 1 図は本発明素子の片面側の平面図である。
第 2 図は本発明素子の他面側の平面図である。
第 3 図は本発明素子の側面拡大図である。
第 4 図は本発明素子を電気回路で示したものである。

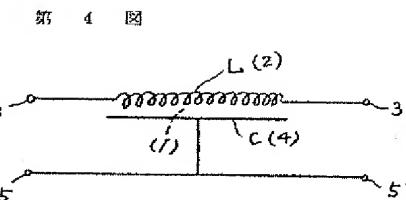
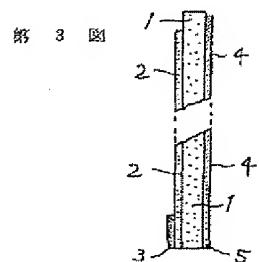
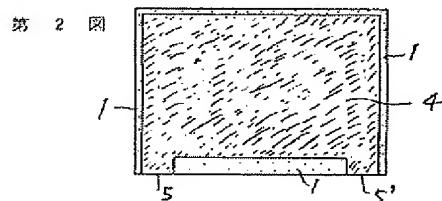
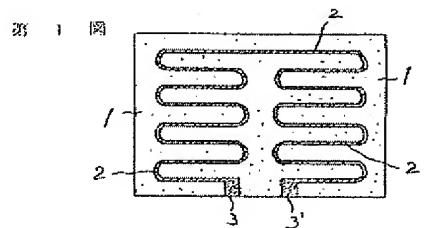
- (1) …セラミック基板、(2) …電気信号伝送路、
(3)-(5) …(2)の引出し電極、(4) …グランド電極、
(6)-(8) …(4)の引出し電極

(1) …インダクタンス、(6) …分布容量

特許出願人 小沢秀一郎

代理人 (7811)弁理士 古田高司





手 続 楽 正 書

昭和59年3月30日

特許庁長官 聖

1 事件の表示

昭和58年特許願第078063号

2 発明の名称

ダイレイライン素子

3 楽正をする者

事件との関係 特許出願人

住所 京都市南区上鳥羽馬廻し町14番地

進工業株式会社内

氏名 小沢 寿一郎

4 代理人

住所 滋賀県大津市中央1丁目9の25號仲会内

氏名 (7811)弁理士古田高司

5 楽正命令の日付 自発補正

6 楽正により増加する発明の数 0

7 楽正の対象

明細書の「発明の詳細な説明」の欄、「図面の簡単な説明」の欄、及び図面

8 楽正の内容

- (1) 明細書第6頁の7行目と8行目の間に下記の文章を挿入する。

「なお、小形で減衰が少くて所要の遅延時間が得られるものに誘導回路の集中定数回路がある。本発明のダイレイライン素子はこの構成になるよう開発されたもので、 $n > 1$ の場合負の並列インピーダンスを実現するための直列インダクターや相互インダクタンスの結合方法を考慮したパターンが用いられている。(第1図)

この特性を示す等価回路が第5図である。

- (2) 明細書第8頁の15行目と16行目の間に下記の文章を挿入する。

「この実施例の最初の工程で、真空蒸着

されたニクロム被膜は、インダクターに近接して配置された電気抵抗を持つ渦流損の少い磁心となり、インダクタンス(L)や Q の向上に役立って、短い伝送路で比較的大きいが得られ、インダクターとグランド電極間の小さい容量 C とで大きい特性インピーダンスが得られている。

分布定数回路と集中定数回路の両特性を併せ持ったこの素子は遮断周波数が高く運延時間も大きい。」

(3) 明細書第9頁の14行目と15行目の間に次の文章を挿入する。

「第5図は本発明素子の等価回路を示している。」

(4) 諸面に別紙の通り第5図を追加する。

第 5 図

